

LOGIKA ELEKTRONIKO INTEGRATUAREN FAMILIAK GAINGIROKI

A. Sagarna

Azkeneko dozena bat urte honetan Logika Elektroniko Integratuak aurre-rapen izugarria izan du. Teknologia mota baten berri genueneko beste zen-bait sortzen ari zen.

Bilakabide laster horretan sortu den hainbat izenek zer esan nahi duen ja-kitea ere gero eta nekezagoa da eta are zailago noski bakoitzaren berezitasu-nak ezagutzea.

Lantxo honek argitasun apur bat eskaini nahi luke, baina batere sakondu gabe. Gaia estudiatu nahi duenarentzat abiapuntu bat besterik ez da.

Elektronikaren ibilbidean izan diren urratsik nagusienak, nire ustez, erdie-roaletan oinarrituriko konponenteen jaiotza, batez ere transistorearen jaiotza, eta elektronika integratuarena izan dira.

Integrazioaren bidez, lehen ehundaka konponente bakunez egiten zena, orain pastilla bakar batez egiten da.

Silizio zati ttiki baten barnean daude konponente horik danak eginda eta are beren arteko konexioak ere. Zirkuito integratu bat mikroskopoz ikusten badugu, harrituta geratzen gara eta han eginik dagoen hainbat gauza nola egin ote daiteken pentsatzen.

Ez gara zirkuito integratuak egiteko erabiltzen diren tekniken xehetasune-tan sartuko. Oinarritzko teknikak fotolitografiarenak eta difunoa dira.

Horretan zirkuito familia guztiak berdinak dira. Lehenengo zatiketa zir-kuito integratuen jaiotza baino lehenagotik dator.

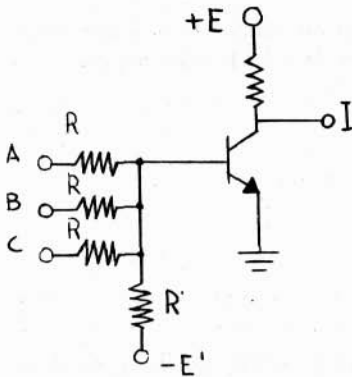
Transistoretan bi klase nagusi zeuden ordurako: transistore bipolarrea eta FET (Field Effect Transistor), hots, Eremu Efektuzko Transistorea. Lehe-nengo motako transistoreak dituzten zirkuito integratuak **bipolareak** deritza eta bigarren motakoak dituztenak **MOS** (Metal Oxide Semiconductor). Hauxe da beraz lehen banaketa zabala zirkuito integratuen artean.

a) Bipolareak

b) MOS

Bipolaren artean lehendabizi sortu zen teknologia RTL (Resistor Transis-tor Logic) izenekoa izan zen.

Teknologia honetan ate logikoak erresistore eta transistore bidez eginak di-ra. Esaterako NOR ate bat horrela egiten da:

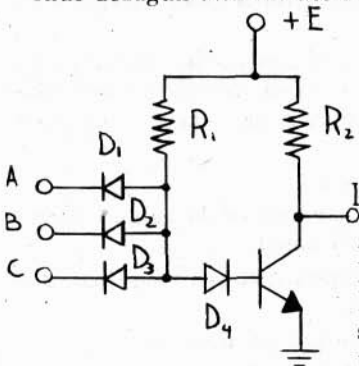


A, B eta C sarrerak dira, I irtera. R, R' eta E' rentzat balore aproposak hautatzen badira, transistoreak ez du eroango hiru sarreratan tentsio positiboa aplikatzen ez den bitartean.

Aski izanen da sarrera bat zero tentsiora ipintzea transistorea ebakita gera dadin. Honek, jakina, tentsioen eta erresistentzien baloreei doitasun handia eskatzen die, eta sarrera kopurua mugatzen du. Zenbat eta sarrera gehiago, orduan eta diferentzia ttikiagoa bait dago transistorearen base korrontean, sarrera bat goiki mailan egon ala ez. Eragozpen hau alderdi batetik eta erresistore integratuak egitea diodo edo transistore integratuak egitea baino zailago delako, teknologia hau baztertuta geratu da.

Ondoren DTL (Diode-Transistor Logic) deiturikoa azaldu zen. Hemen diodoak eta transistoreak erabiltzen dira.

Ikus dezagun NAND ate bat nolakoa den, DTL teknologian:



A, B eta C sarrerak dira eta I irtera.

Hiru sarreratan + E tentsioa ipintzen bada D₄ tik barrena korrante bat iragaiten da, transistorea eroale bilakatzen da eta irterako tentsioa zero egiten.

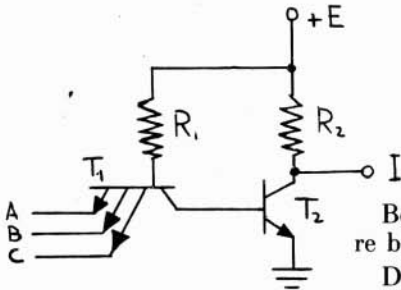
Itxuraz D₄ diodoa deusetarako behar ez den arren, ba du bere eginkizuna.

Zero maila logikoa tentsio positibo ttiki batetaraino hel daiteke sarrera batetan eta halaz ere irterak goi mailan geratu behar du.

Kasu horretan D₄ diodoan tentsio jaupen ttiki bat egonen da eta transistoreak ez dezan eroan segurantz handiagoa dago.

Abantaila nabarmen bat du DTL teknologiak RTL ren aldean: Sarrera bakar bat ala guztiak aldatu mailaz, transistorearen basean tentsioa berdin berdin aldatzen da. Sarrera kopuruak ez du mugarik hemen. Bestetik iturri bakar bat aski de DTL logikan, RTL logikan bi behar ziren bitartean. Erresistore guttiago ere behar da eta zirkuito integratuak egiteko hori gauza ona da.

TTL teknologian elementu berri bat azaltzen da, emisore—anizdun transistorea. Ikus dezagun NAND ate bat nolakoa den TTL teknologian:



Berez T_1 transistoreak ez du benetan transistore batek bezala funtzionatzen.

DTL teknologian sarrerako hiru diodoek egiten zutena hemen base-emisore elkarguneek egiten dute eta

laugarren diodoaren eginkizuna emisore-anizdun transistorearen base-kolektore elkarguneak betetzen du. Sarreraren bat masarekin elkartzen bada korrontea + E tik R_1 etik eta sarrera horri dagokion base-emisore diodotik masara joanen da.

T_2 transistorearen baseak ez du transistore hau eroale egiteko behar lukeen bezain tentsio positiboa, beraz goiko maila logikoan aurkituko da irtera.

Sarrera guztitan + E tentsioa baldin badugu, T_1 en base-emisore elkargune guztiak alderantziz polarizatuta egonen dira, baina base-kolektore elkargunea zuzenki polarizatuta egonen bait da, T_2 transistorea saturatu egingen da eta irterak beheko maila logikoak ukanen du.

Badirudi TTL eta DTL ren artean ez dagoela diferentziarik. Halaxe da berez zirkuitoa egoera logiko batetan dagoen bitartean. Desberdintasunak egoera aldakuntzatan daude. Pentsa dezagun sarrera guztiak + E tentsioan daudela.

R_1 etik doan korrontea T_2 saturatu egingen du.

Orain sarreratako bat zero egiten badugu, korrontea ez da jadanik T_2 ren basera joanen, sarrera horri dagokion emisorera baizik.

DTL zirkuito batetan sarrera diodoek eta irtera transistorena doan diodoak ez dute zerikusirik, independenteak dira.

TTL zirkuito batetako «Diodo» horik ez dira independenteak.

Transistore batetako base-emisore elkargunetik korrontea bat pasatzen ari denean, base-kolektore diodoan alderantzizko korrontea handia da, emisoretik doan korrontea hainbatekoa ia.

T_2 ko base korrontea hori ez daiteke iraunkorki alderantzizkoa izan, baina T_2 saturazioan zegoenez gero bere basea eroakin minoritarioz oso aberats zen.

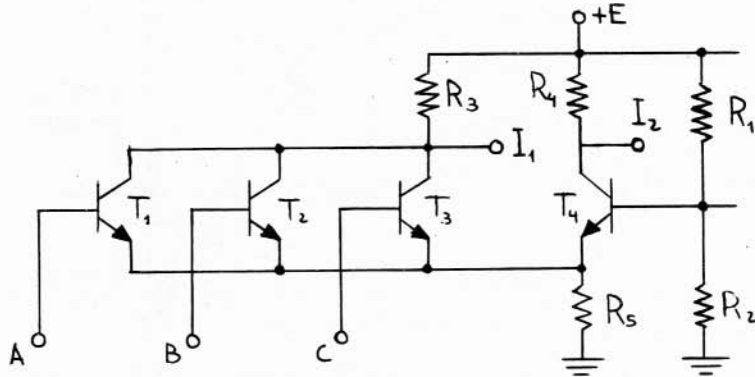
Aldakuntzan T_2 ren base korrontea geratzea besterik ez balitz egingen desaturazio denbora bat beharko litzateke, baina TTLren kasuan alderantzizko korrontea horri esker, desaturazioa bizkorrago egingen da.

TTL ren abantaila nagusia hau da hain zuzen, beheko maila logikotik goikora iragaitan lortzen den lastertasuna.

Are lastertasun handiagoa lortzen da ECL teknologian.

Ikusi dugunez, lastertasuna eragotzen duen fenomenoa irtera transistorea-
ren saturazioa da. Oztopo hau gainditzeko era bat, transistorea eroale egiten
denean saturazioraino joaten ez uztea da.

ECL (Emitter Coupled Logic)-en oinarrizko NOR zirkuitoa honako hau
da:



Sarrera guztiak zero diren bitartean T_1 , T_2 , T_3 transistoreak ez dira eroale,
 R_3 tik ez da korrontetik iragaiten, beraz I_1 irteran + E tentsioa azalduko da.

R_1 eta R_2 k osatzen duten tentsio zatitzaileak T_4 ren basea positiboki polariz-
atzen duenez, transistore hori eroaten ari da. I_2 irtera beheko maila logikoan
dago.

Sarreraren bat positibo bihurtzen bada, dagokion transistorea eroaten hasi-
ko da, I_1 beheko mailan geratuko da.

Eroale bilakatu den transistoretik datorren korronteak R_5 en tentsio jaus-
pen bat sotuko du. Tentsio horrek T_4 blokeatuko du eta I_2 irtera goiko mailan
ipiniko da.

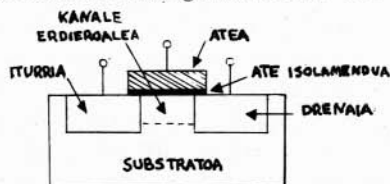
Zirkuito horretan bi irtera konplementario ditugu batetik, eta saturazio
gabe lan egiten bait da, lastertasun handia.

Oinarrizko teknologia hauen barnean ba dira mota desberdinak, baina le-
hen deskribapen bat egiteko aski deritzogu honi.

MOS teknologiaren oinharri historikoa FET transistoretan dago.

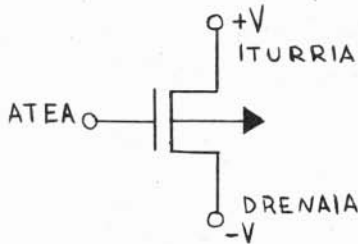
FET batetan elektra eremu batek kontrolatzen du transistorean barrena
doan korrontea. Zenbait metodo desberdin erabil daiteke FET tensistoreak
egiteko, eta metodo bakoitzak izen bat ematen die transistore hauei.

FET transistore baten oinarrizko egitura hau da:

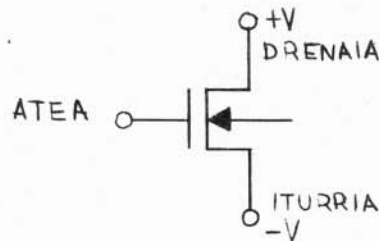


Atea metalezkoa lenean eta atearen eta erdieroalearen arteko isolamendua silizio oxidozkoa de ean, transistorea MOS-FET deritza MOS en esannahia horixe da Metal Ox le Semiconductor.

Bi MOS transistore mota bereiz daitezke: N-kanale eta P-kanale MOS transistoreak. Beren sinboloak hauetxek dira:



P-Kanale MOS transistorea



N-Kanale MOS transistorea

Tentsioz kontrolaturiko konmutagailu batzu dira transistore hauk. Iturriaren eta dreaiaren arteko independentzia, atearen eta iturriaren artean ezarzen den tentsioaren funktzio da. Bi transistore motatan korronea nahiz ituritik dreaiara nahiz alderantziz joan daiteke.

MOS transistore batek inpuritate ugariz dopaturiko difusioak ditu iturriaren eta dreaian, bien artean tarte hestu bat eta honen gainean oxido eta aluminiozko ate mehe bat.

Iturritik dreaira korronea joan dadin, atearen eta iturriaren artean muga batez gaindiko tentsio bat ezarri behar da.

Hona zergatik:

P-kanale transistore baten substratoa, adibidez N erdieroale bat da, hots, eroakin maioritarioak elektroiak ditu.

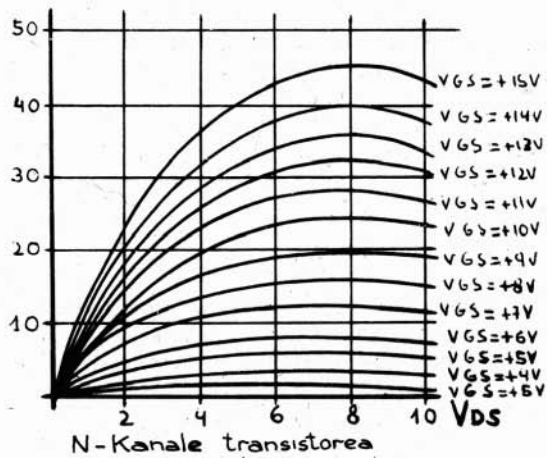
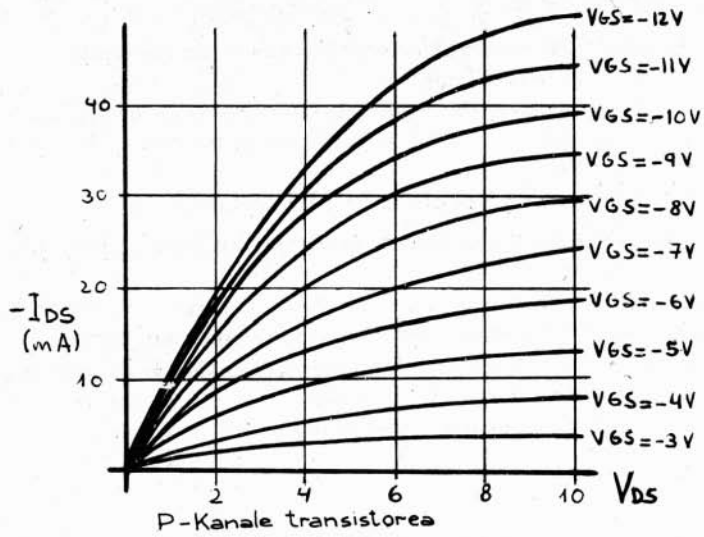
Iturria eta dreaiak P motako erdieroaleak dira.

Iturria atea baino positiboago egiten badugu eta tentsio hau behar hainbatekoa baldin bada, iturriaren eta dreaiaren arteko tarte hestuko elektroiak urritu egingen dira eta erdieroalea P bailitz portatuko da.

P-kanale bat sortu dela esaten da iturriaren eta dreaiaren artean.

Zenbat eta tentsio handiagoa ezarri iturriaren eta atearen artean hainbat eta eroletasun handiagoa lortzen da kanalean.

Vds dreaiaren eta iturriaren arteko tentsioa, Ids drenaitik iturrirako korronea eta Vgs atearen eta iturriaren arteko tentsioa baldin badira P-kanale eta N-kanale transistoreen makur karakteristikoak honelakoak dira:



P-kanale transistorea

N-kanale transistorea

N eta P kanale transistoreak serie eta paralelo konbinaziotan konektatuz lor liteke edozein funtzio logiko.

Bi motatako transistoreak erabiltzen direnean orain aztertuko ez dugun zenbait abantaila erdiesten da eta CMOS (complementary MOS) teknologia erabiltzen dela esaten.

Hona nolakoa den NAND ate bat CMOS teknologian

I irtera zero mailan, V_{gs} tentsioan, ipintzeko era bakarra bi sarreretan V_{DD} tentsioa ezartzea da.

Orduan bi P kanale transistoreak ebakita geratuko dira eta bi N kanale transistoreak eroale bihurtuz irtera V_{SS} rekin elkartuko dute.

Aski da sarrerako bat zero mailan egotea dagokien P transistorea eroale izateko eta N transistorea ebakita uzteko.

Orduan irteran V_{DD} tentsioa izanen dugu.

